

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7656701号
(P7656701)

(45)発行日 令和7年4月3日(2025. 4. 3)

(24)登録日 令和7年3月26日(2025. 3. 26)

(51)Int. Cl.			F I		
H 1 O D	30/47	(2025. 01)	H 1 O D	30/47	2 0 1
H 1 O D	30/66	(2025. 01)	H 1 O D	30/66	1 0 1 T
H O 1 L	21/205	(2006. 01)	H 1 O D	30/66	2 0 2 A
H O 1 L	21/20	(2006. 01)	H 1 O D	30/66	2 0 1 C
			H O 1 L	21/205	
請求項の数 14 (全 13 頁) 最終頁に続く					
(21)出願番号 特願2023-531634(P2023-531634)			(73)特許権者 515230084		
(86)(22)出願日 令和3年11月25日(2021. 11. 25)			フラウンホーファーゲゼルシャフト ツ		
(65)公表番号 特表2023-550520(P2023-550520A)			ウァ フェアデルング デア アンゲヴァ		
(43)公表日 令和5年12月1日(2023. 12. 1)			ンドテン フォアシュング エー. ファウ		
(86)国際出願番号 PCT/EP2021/082913			.		
(87)国際公開番号 W02022/112378			ドイツ連邦共和国 8 0 6 8 6 ミュンヘ		
(87)国際公開日 令和4年6月2日(2022. 6. 2)			ン, ハンザシュトラーセ 2 7 ツェー		
審査請求日 令和5年7月21日(2023. 7. 21)					
(31)優先権主張番号 102020214767. 1					
(32)優先日 令和2年11月25日(2020. 11. 25)					
(33)優先権主張国・地域又は機関 ドイツ(DE)					
			最終頁に続く		

(54)【発明の名称】 高電子移動度を有するトランジスタを製造する方法及び製造したトランジスタ

(57)【特許請求の範囲】

【請求項 1】

高電子移動度を有するトランジスタを製造する方法であって、

a) i) 化学エッチング及び／又はドライエッチングによりエピタキシャル層から除去可能であるために、及び／又は

i i) 特定の波長を有するレーザ放射により、前記エピタキシャル層から除去可能であるために、

適切な平坦基板の前面上に、半導体材料を含むか、半導体材料からなる前記エピタキシャル層を成長させ、

b) 前記エピタキシャル層の前面上に少なくとも1つの横型及び／又は垂直型トランジスタ構造を付け、

c) 前記エピタキシャル層の前記前面に一時的なウェハを付け、

d) 前記エピタキシャル層の底面から前記平坦基板を除去し、

e) 前記エピタキシャル層の前記底面に熱伝導層を付け、

f) 前記一時的なウェハを完全に除去する、

方法であって、

前記平坦基板は、前記エピタキシャル層の前記底面から完全に除去されており、

前記熱伝導層が、前記エピタキシャル層の前記底面の少なくとも80%接触するように、前記熱伝導層は、前記エピタキシャル層の前記底面に付けられ、

前記エピタキシャル層は、Ga N、Al N、Al_xGa_{1-x}N (xは0～1の数)、

InGa_N、InAlGa_N、AlSc_N、Ga₂O₃、及びそれらの組み合わせからなる群から選択される半導体材料を含むか、該半導体材料からなり、

前記エピタキシャル層の前記底面上の前記熱伝導層は、

i) 電気絶縁性であり、TaC、ダイヤモンド、及びそれらの組み合わせからなる群から選択され、前記エピタキシャル層の方向に20 μm～1.5 mmの範囲の高さを有する、材料、又は

ii) 導電性であり、前記エピタキシャル層の方向に50 nm～5 μmの範囲の高さを有する、材料、

を含むか、該材料からなる、

方法。

10

【請求項2】

前記エピタキシャル層は、

i) 前記平坦基板の方向に200 nm～50 μmの範囲の高さまで成長させ、及び／又は

ii) 前記平坦基板に平行な方向に25.4 mm～300 mmの延伸を有する、

請求項1に記載の方法。

【請求項3】

前記平坦基板は、

i) エピタキシャル成長させるGa_N、Al_N、Al_xGa_{1-x}N (xは0～1の数)、InGa_N、InAlGa_N、AlSc_N、Ga₂O₃、及びそれらの組み合わせからなる群から選択される材料を含むか、該材料からなる層を可能にするのに適しており、及び／又は

20

ii) 炭化ケイ素、Al_N、サファイア、それらの組み合わせ、及びそれらの混合物からなる群から選択される材料を含むか、該材料からなる、

請求項1又は2に記載の方法。

【請求項4】

前記平坦基板は、前記エピタキシャル層の方向に100 μm～1.5 mmの範囲の高さを有する、

請求項1乃至3のいずれか一項に記載の方法。

【請求項5】

前記方法は、少なくとも1つの前部電気接点を前記エピタキシャル層の上面に付けることを含み、前記少なくとも1つの前部電気接点を付けることは、

30

i) トランジスタ、ショットキーダイオード構造、PNダイオード構造、PINダイオード構造、及びそれらの組み合わせからなる群から選択される少なくとも1つの横型及び／又は垂直型構造の前記エピタキシャル層の前記前面へ付けた後、又は前記一時的なウェハの除去後に、及び／又は

ii) $10^{-6} \Omega\text{m} \sim 10^{-8} \Omega\text{m}$ の範囲の導電率を有する材料を用いて、及び／又は

iii) $10 \sim 2300 \text{ W} / (\text{m} \cdot \text{K})$ の範囲の熱伝導率を有する材料を用いて、及び／又は

iv) 金属を含むか、該金属からなる材料を用いて、及び／又は

v) 前記少なくとも1つの前部電気接点が前記エピタキシャル層の方向に50 nm～10 μmの範囲の高さを有する方法で、及び／又は

40

vi) 堆積又は接合によって、

実行される、

請求項1乃至4のいずれか一項に記載の方法。

【請求項6】

前記少なくとも1つの横型及び／又は垂直型トランジスタ構造は、

i) 層の形状で付けられ、

ii) 半導体を含むか、該半導体からなり、及び／又は

iii) 処理され、該処理は、前記少なくとも1つの横型及び／又は垂直型トランジスタ構造を前記エピタキシャル層に付けた後、又は前記一時的なウェハを除去した後に行われ

50

、前記処理のステップは、脱金属化、ウェット化学エッチング、ドライ化学エッチング、絶縁体コーティング、イオン注入、拡散、及びそれらの組み合わせからなる群から選択される方法を含む、

請求項 1 乃至 5 のいずれか一項に記載の方法。

【請求項 7】

前記一時的なウェハは、接着により前記エピタキシャル層の前記前面に付けられる、

請求項 1 乃至 6 のいずれか一項に記載の方法。

【請求項 8】

前記エピタキシャル層の前記底面からの前記平坦基板の完全な除去は、以下により達成される：

10

i) 化学エッチング、ドライエッチング、及びそれらの組み合わせ、及び／又は

i i) 特定の波長を有するレーザ放射による前記平坦基板のリフトオフ、

請求項 1 乃至 7 のいずれか一項に記載の方法。

【請求項 9】

前記エピタキシャル層の前記底面上の前記熱伝導層は、

i) $10 \sim 2300 \text{ W} / (\text{m} \cdot \text{K})$ の範囲の特定の熱伝導率を有する材料を含むか、該材料からなり、及び／又は

i i) 堆積又は接合により付けられた、又は付けられる、

請求項 1 乃至 8 のいずれか一項に記載の方法。

【請求項 10】

20

前記電気絶縁性の材料は、少なくとも $10^{-10} \Omega \text{m}$ の比電気抵抗を有する、

請求項 1 乃至 9 のいずれか一項に記載の方法。

【請求項 11】

前記導電性の材料は、

i) $2 \times 10^{-4} \Omega \text{m}$ 以下の比電気抵抗を有し、及び／又は

i i) 前記エピタキシャル層の n^+ ドープ領域に接触し、及び／又は

i i i) 半導体材料及び／又は金属を含むか、それらからなる、

請求項 1 乃至 9 のいずれか一項に記載の方法。

【請求項 12】

前記方法は、前記エピタキシャル層の前記底面に少なくとも 1 つの後部電気接点を付けることを含み、前記後部電気接点は、

30

i) 前記平坦基板を除去した後、前記エピタキシャル層の前記底面に付けられ、及び／又は

i i) $2 \times 10^{-4} \Omega \cdot \text{m}$ 以下の比電気抵抗を有する材料を含むか、該材料からなり、及び／又は

i i i) $150 \sim 380 \text{ W} / (\text{m} \cdot \text{K})$ の範囲の特定の熱伝導率を有する材料を含むか、該材料からなり、及び／又は

i v) 半導体材料及び／又は金属を含むか、それらからなる、

請求項 1 乃至 11 のいずれか一項に記載の方法。

【請求項 13】

40

前記エピタキシャル層の上面からの前記一時的なウェハの完全な除去は、レーザリフトオフ法、ウェット化学エッチング法、ドライ化学エッチング法、熱的方法、熱活性化スマートカット法、及びそれらの組み合わせからなる群から選択される方法によって行われる、

請求項 1 乃至 12 のいずれか一項に記載の方法。

【請求項 14】

高電子移動度を有するトランジスタであって、

a) 半導体材料を含むか、半導体材料からなるエピタキシャル層と、

b) 前記エピタキシャル層の上面上の少なくとも 1 つの横型及び／又は垂直型トランジスタ構造と、

50

c) 前記エピタキシャル層の底面上の熱伝導層と、
を備え、

前記エピタキシャル層の前記底面上の前記熱伝導層は、前記エピタキシャル層の前記底面の少なくとも80%接触し、

前記エピタキシャル層は、 GaN 、 AlN 、 $Al_xGa_{1-x}N$ (x は0~1の数)、 $InGaN$ 、 $InAlGaN$ 、 $AlScN$ 、 Ga_2O_3 、及びそれらの組み合わせからなる群から選択される半導体材料を含むか、該半導体材料からなり、

前記エピタキシャル層の前記底面上の前記熱伝導層は、

i) 電気絶縁性であり、 TaC 、ダイヤモンド、及びそれらの組み合わせからなる群から選択され、前記エピタキシャル層の方向に $20\mu m \sim 1.5mm$ の範囲の高さを有する、材料、又は

ii) 導電性であり、前記エピタキシャル層の方向に $50nm \sim 5\mu m$ の範囲の高さを有する、材料、

を含むか、該材料からなる、

トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

高電子移動度を有するトランジスタを製造する方法を記述し、高電子移動度を有するトランジスタを提供する。その方法は、最初に、平坦基板上にエピタキシャル層を成長させ、そして、エピタキシャル層の底面から再び平坦基板を完全に除去する。ここで、熱伝導層が、エピタキシャル層の底面の少なくとも80%、好ましくは、少なくとも90%、特に好ましくは、少なくとも95%、特に100%に接触するように、熱伝導層は、エピタキシャル層の底面に付けられる。容易かつコスト効率よくこの方法を実行することができ、該方法は、高電子移動度と、バックゲートなしで強化された電力と、改善された熱放散とを有するトランジスタを提供する。記述の方法は、さらに、垂直型トランジスタ構造を有するトランジスタを提供することができる。

【背景技術】

【0002】

GaN は、広いバンドギャップを有する広帯域半導体である。それは、理想的に、パワーエレクトロニクスデバイスに最適である。コンポーネントのエピタキシ用の基板としてネガティブ GaN ウェハの使用が非常に高価になるという事実に関連して、シリコン等の安価な基板を利用する他の解決策が広く用いられている。

【0003】

従来の高電子移動度トランジスタ (HEMT) は、横型コンポーネントとして SiC 又は Si 基板上に製造される。 $GaN/AlGaN$ コンポーネントにおける横型 2DEG チャンネルの利点にもかかわらず、回路設計と受動コンポーネントに関するプラスの効果のため、電力応用には垂直型アーキテクチャが望ましいであろう。

【0004】

GaN ベースの HEMT 構造は、先行技術で知られており、市販されている。HEMT 構造は、 GaN チャンネル層上の $AlGaN$ バリアを含む活性表面で構成される。炭素又は鉄がドーピングされた厚い GaN 層は、裏面に対する絶縁バリアとして機能する。 $AlGaN/GaN$ 界面下では、バンドギャップと分極場の違いにより生じるバンドの曲がりにより、二次元電子ガス (略して「2DEG」) が生成される。2DEG は、横方向に伝導性の高いチャンネルを形成し、他の従来のパワーコンポーネントよりも優れた高速スイッチングの横型コンポーネントをもたらす。

【0005】

シリコン基板は、コスト効率が高いと考えられるが、多くの欠点を伴い、全体構造の下に位置している。シリコン基板は、 GaN 格子に対して高い熱的及び構造的な不整合を有する。したがって、歪みを吸収して格子と整合させるためには、複数の層 (「バッファ層」

10

20

30

40

50

）の厚いスタックを堆積する必要があることが知られている。これらのバッファ層は、ウェハの大きな反りを避けるために適切に調整する必要がある。これは、コンポーネントの後の処理では許容することができない。さらに、異物の適合性により、多数の欠陥や転位（典型的に $10^9 / \text{cm}^2$ ）が発生し、コンポーネントのパワー（出力）に有害であることが知られている。

【0006】

その結果、より厚い絶縁バッファ層やチャンネル層等の格子及び歪み適応層は、更なる開発を制限し、妨げている。これらは、Si基板上では避けられない。高いアルミニウム含有量を有するAlGaInバリアは、複数kVの出力を達成するために望ましい開発となるであろう。

10

【0007】

さらに、コンポーネントの不具合によるバックゲートや故障の原因となる、Si基板の導電性やフローティング電位が問題となるだけでなく、熱放散も大きな問題となる。Si基板の熱伝導率は不十分であり、厚いSi基板では、熱をうまく放散することができない。これを避けるためには、薄肉化を行う必要があるが、これは、チップの破損の観点から危険である。また、歪み及び欠陥適応層の挿入の結果として、垂直方向の熱伝導率がさらに低下してしまう。

【0008】

垂直型GaNコンポーネントに関しては、追加で必要な多数の層がポテンシャル障壁として機能し、垂直方向の電流の流れが大幅に妨げられるため、Siウェハ上のGaNを用いるコンポーネントのコンセプトは、まったく不可能である。

20

【0009】

さらに、アクティブチャンネルのわずか数 μm 下に導電性Si基板が存在すると、強力なバックゲート効果が生じることが知られている。これにより、セミブリッジ構造又はフルブリッジ構造の統合（集積化）など、互いに高い電位差を持つコンポーネント構造の横型共統合が防止される。基板バイアスのトランジスタチャンネルへの直接結合が効果的に抑制されるときのみ、集積化の成功が可能である。例えば、その上にGaNエピタキシを有するシリコン・オン・絶縁体（SOI）層上にGaNトランジスタを実装することにより、そのような集積化を達成することが知られている。これにより、モノリシックの集積化が可能であるが、熱伝導率が犠牲となる。これは、絶縁媒体としてSOIを使用する場合の重大な欠点である。

30

【0010】

その結果、Si基板自体の存在がGaNパワーコンポーネントの性能に有害であり、Si基板が完全に除去されればさらに大きな出力を期待できることが明らかになった。

【0011】

最近では、ゲート下のSi基板を局所的に除去する新しい解決策が提案されている。それは、これまでのところ優れた性能が得られ、最大3kVでトランジスタを動作させることが可能となった（Dogmus, E. & Zegaoui, M., Appl. Phys. Expr., Volume 11, pg. 034102 et seq, 2018）。しかしながら、いくつかの領域における局所的な除去の技術は、非常に複雑であり、他の領域では、Si基板がまだ存在する。除去された領域内のAlN裏面の局所的なスパッタリングは複雑であり、残留Si基板に加えて、局所的なAlN充填領域の存在も、後のパッケージングルートにおけるチップの機械的挙動に違いをもたらす。

40

【発明の概要】

【発明が解決しようとする課題】

【0012】

このことから、本発明の目的は、先行技術で知られている欠点を持たないトランジスタを提供することができる方法を提供することである。特に、その方法は、容易かつコスト効率よく実行され得、高電子移動度、バックゲートなしの電力向上、及び熱放散の改善を備えるトランジスタを提供することができる。特に、その方法は、垂直型トランジスタ構

50

造の実装を可能にする。

【0013】

その目的は、請求項1の特徴を含む方法と、請求項14の特徴を備える高電子移動度を有するトランジスタにより達成される。従属請求項は、有利な改良を示す。

【課題を解決するための手段】

【0014】

本発明によれば、以下のステップを含む高電子移動度を有するトランジスタを製造する方法が提供される：

a) i) 化学エッチング及び／又はドライエッチングによりエピタキシャル層から除去可能であるために、及び／又は

ii) 特定の波長を有するレーザ放射により、エピタキシャル層から除去可能であるために、

適切な平坦基板の前面上に、半導体材料を含むか、半導体材料からなるエピタキシャル層を成長させ、

b) エピタキシャル層の前面に少なくとも1つの横型及び／又は垂直型トランジスタ構造を付け、

c) エピタキシャル層の前面に一時的なウェハを付け、

d) エピタキシャル層の底面から平坦基板を除去し、

e) エピタキシャル層の底面に熱伝導層を付け、

f) 一時的なウェハを完全に除去する。

平坦基板は、エピタキシャル層の底面から完全に除去されており、

熱伝導層が、エピタキシャル層の底面の少なくとも80%、好ましくは、少なくとも90%、特に好ましくは、少なくとも95%、特に100%に接触するように、熱伝導層は、エピタキシャル層の底面に付けられる。

【0015】

エピタキシャル層の前面とは、平坦基板とは反対側のエピタキシャル層の面を意味すると理解される。一時的なウェハ（仮ウェハ）とは、本発明に係る方法の流れにおいて、エピタキシャル層の前面に最初に付けられ、その後方法中に再び除去されるウェハを意味すると理解される。エピタキシャル層の底面への100%の接触とは、エピタキシャル層の底面がその表面全体にわたって熱伝導層により接触していることを意味すると理解される。

【0016】

トランジスタを提供する方法は、実行するのが比較的容易かつコスト効率よく、低インダクタンスのパッケージ及び単純な設計を有する回路を備えたトランジスタの提供を可能にする。その方法は、例えば、リフトオフ及び／又はエッチングによりエピタキシャル層から平坦基板を完全に除去する（すなわち、100%除去）ことを特徴とする。先行技術で知られているエピタキシャル層から基板を単に局所的に除去する場合と比較して、基板又は基板層の残留物がエピタキシャル層の底面に残らないので、多くの利点が得られる。言い換えれば、広い面積にわたってエピタキシャル層の底面に熱伝導層を付けることができる。これにより、エピタキシャル層から熱伝導層への熱の伝達が改善される。それは、トランジスタの熱放散能力を増加させ、特に長い動作期間にわたってトランジスタの性能能力を増加させる。

【0017】

エピタキシャル層の底面から基板を完全に除去すると、エピタキシャル層の底面全体が（例えば、接合によって）複数の更なる層を取り付けるために同じ特性を有し、エピタキシャル層の底面のより高い機械的安定性を有する複数の更なる層を取り付けることができるので、さらに有利である。これは、トランジスタの全体的な機械的安定性を増加させる。さらに、基板を完全に除去すると、エピタキシャル層の電子移動度が増加し、（バックゲートなしに）電力が向上する。特に、平坦基板とエピタキシャル層の間にバッファ層が堆積されず、横型トランジスタと垂直型トランジスタの両方で、より高い垂直方向の降伏

電圧を作り出すことができる。これは、降伏がバッファ層の厚さ又はnドリフト層の厚さの関数だからである。

【0018】

その方法は、エピタキシャル層が、GaN、AlN、 $Al_xGa_{1-x}N$ （xは0～1の数）、InGaN、InAlGa_N、AlScN、Ga₂O₃、及びそれらの組み合わせからなる群から選択される半導体材料を含むか、該半導体材料からなることを特徴とすることができる。特に、好ましくは、半導体材料は、GaNを含むか、GaNからなる。半導体材料は、ドーピング、特に、Si、Ge、O、C、Fe、Mn、及びそれらの組み合わせからなる群から選択される元素によるドーピングを任意に含むことができる。

【0019】

さらに、その方法は、平坦基板の方向に200nm～50μmの範囲の高さまでエピタキシャル層を成長させることを特徴とすることができる。

【0020】

さらに、エピタキシャル層は、平坦基板に平行な方向に25.4mm～300mmの延伸を有することができる。

【0021】

その方法で用いられる平坦基板は、任意にドーピングされ、エピタキシャル成長させるGaN、AlN、 $Al_xGa_{1-x}N$ （xは0～1の数）、InGaN、InAlGa_N、AlScN、Ga₂O₃、及びそれらの組み合わせからなる群から選択される材料を含むか、該材料からなる層を可能にするのに適することができる。

【0022】

さらに、その方法で用いられる平坦基板は、炭化ケイ素、サファイア、それらの組み合わせ、及びそれらの混合物からなる群から選択される材料を含むことができるか、該材料からなることができる。好ましくは、その材料は、炭化ケイ素及びサファイアからなる群から選択される。サファイア又は炭化ケイ素上へのGaNヘテロ構造の堆積は、非常によく確立される。シリコン基板上のエピタキシと比較して、桁違いに低い転位密度（サファイアの場合、 $5 \times 10^7 \sim 1 \times 10^8 \text{ cm}^{-2}$ 、SiCを使用すると、 10^6 cm^{-2} のオーダー）が達成される。これは、トランジスタの性能と信頼性に有利な影響を与える。また、シリコン上のGaNと比較して、サファイア又はSiC上のGaN間の構造適合性が一般的により近いので、格子不整合を可能にする厚いバッファ層の堆積は要求されない。平坦基板用の材料としてサファイアを用いる利点は、費用対効果の高い方法で平坦なサファイア基板を入手可能であり、それによって、よりコスト効率よく、したがって、より経済的に、トランジスタを提供することができることである。GaNとサファイアの間のよりよい構造適合性のため、トランジスタ内の残留電圧はより低くなる。さらに、サファイアは、より高いエピタキシャル温度に対して高い材料抵抗を有し、それにより、エピタキシャル処理ウィンドウ又は層の厚さに関してより大きな柔軟性が提供される。

【0023】

その方法は、平坦基板が、エピタキシャル層の方向に100μm～1.5mmの範囲の高さを有することを特徴とすることができる。

【0024】

その方法は、少なくとも1つの前部電気接点をエピタキシャル層の上面に付けることを含むことができ、少なくとも1つの前部電気接点を付けることは、好ましくは、トランジスタ、ショットキーダイオード構造、PNダイオード構造、PINダイオード構造、及びそれらの組み合わせからなる群から選択される少なくとも1つの横型及び／又は垂直型構造のエピタキシャル層に付けた後、又は一時的なウェハの除去後に実行される。

【0025】

$10^{-6} \Omega \text{ m} \sim 10^{-8} \Omega \text{ m}$ の範囲の導電率を有する材料を用いて、少なくとも1つの前部電気接点を付けることができる。

【0026】

また、 $10 \sim 2300 \text{ W} / (\text{m} \cdot \text{K})$ の範囲の熱伝導率を有する材料を用いて、少なく

10

20

30

40

50

とも1つの前部電気接点を付けることができる。

【0027】

さらに、金属、特に好ましくは、Au、Ag、Al、Pt、Ir、Ni、Cr、Ta、Mo、V、及びそれらの合金からなる群から選択される金属を含むか、該金属からなる材料を用いて、少なくとも1つの前部電気接点を付けることができる。

【0028】

さらに、少なくとも1つの前部電気接点が、エピタキシャル層の方向に50nm～10μmの範囲の高さを有するように、少なくとも1つの前部電気接点を付けることができる。

【0029】

これとは別に、堆積又は接合によって、少なくとも1つの前部電気接点を付けることができる。

【0030】

その方法は、少なくとも1つの横型及び／又は垂直型トランジスタ構造が層の形状で付けられることを特徴とすることができる。

【0031】

横型及び／又は垂直型トランジスタ構造は、半導体材料、好ましくは、任意にドーパされた $Al_xGa_{1-x}N$ （xは0～1の数）及び／又は Ga_2O_3 を含むことができるか、これらからなることができる。

【0032】

また、横型及び／又は垂直型トランジスタ構造を処理することができ、好ましくは、該処理は、その構造をエピタキシャル層に付けた後、又は一時的なウェハを除去した後に行われ、処理のステップは、脱金属化、ウェット化学エッチング、ドライ化学エッチング、絶縁体コーティング、イオン注入、拡散、及びそれらの組み合わせからなる群から選択される方法を含む。

【0033】

一時的なウェハは、一時的なウェハ上の接着によりエピタキシャル層の前面に付けられ得る。

【0034】

エピタキシャル層の底面からの平坦基板の完全な除去は、化学エッチング、ドライエッチング、及びそれらの組み合わせにより達成され得る。基板が使用するレーザのレーザ光に対して透明ならば、つまり、レーザアブレーションを実行することができないならば、エッチングで除去する必要がある。

【0035】

また、エピタキシャル層の底面からの平坦基板の完全な除去は、特定の波長を有するレーザ放射、好ましくは、特定の波長を有するレーザ放射による平坦基板のリフトオフにより達成され得る。

【0036】

エピタキシャル層の底面上の伝導層は、10～2300W／(m・K)の範囲の特定の熱伝導率を有する材料を含むことができるか、該材料からなることができる。

【0037】

また、熱伝導層は、堆積又は接合によりエピタキシャル層の底面に付けられた、又は付けられることができる。

【0038】

好適な実施の形態では、エピタキシャル層の底面上の熱伝導層は、電気絶縁性の材料を含むか、該材料からなり、好ましくは、電気絶縁性の材料は、少なくとも $10^{10}\Omega m$ の比電気抵抗を有する。電気絶縁性の材料は、AlN、TaC、SiN、ダイヤモンド、及びそれらの組み合わせからなる群から選択され得、好ましくは、材料が多結晶である。これとは別に、電気絶縁性の材料は、エピタキシャル層の方向に20μm～1.5mmの範囲の高さを有することができる。

10

20

30

40

50

【0039】

代替の好適な実施の形態では、エピタキシャル層の底面上の熱伝導層は、導電性の材料を含むか、該材料からなり、好ましくは、材料は、 $2 \times 10^{-4} \Omega \cdot \text{m}$ 以下の比電気抵抗を有する。また、導電性の材料は、エピタキシャル層の n^+ ドープ領域に接触することができる。さらに、導電性の材料は、半導体材料及び／又は金属、特に好ましくは、Si、Ge、及びそれらの組み合わせからなる群から選択される半導体材料を含むことができるか、それらからなることができる。これとは別に、導電性の材料は、エピタキシャル層の方向に $50 \text{ nm} \sim 5 \mu \text{ m}$ の範囲の高さを有することができる。この方法の代替の実施の形態は、垂直型トランジスタアーキテクチャを提供することができる。その結果、横型トランジスタと比較して、垂直型トランジスタが有する潜在的な利点がすべて達成される。これは、公知のGa_{0.5}N_{0.5}・オン・Siコンポーネントでは不可能である。なぜならば、局所的な基板除去技術を使用する必要がある、特有の欠点がすべてであるからである。

10

【0040】

本発明に係る方法は、エピタキシャル層の底面に少なくとも1つの後部電気接点を付けることを含むことができる。好ましくは、後部電気接点は、平坦基板を除去した後、任意に、熱伝導層の局所領域を除去した後、エピタキシャル層の底面に付けられる。さらに、後部電気接点は、 $2 \times 10^{-4} \Omega \cdot \text{m}$ 以下の比電気抵抗を有する材料を含むことができるか、該材料からなることができる。さらに、後部電気接点は、 $150 \sim 380 \text{ W} / (\text{m} \cdot \text{K})$ の範囲の特定の熱伝導率を有する材料を含むことができるか、該材料からなることができる。これとは別に、後部電気接点は、半導体材料及び／又は金属、特に好ましくは、Si、Ge、及びそれらの組み合わせからなる群から選択される半導体材料を含むことができるか、それらからなることができる。

20

【0041】

エピタキシャル層の上面からの一時的なウェハの完全な除去は、レーザリフトオフ法、ウェット化学エッチング法、ドライ化学エッチング法、熱的方法、熱活性化スマートカット法、及びそれらの組み合わせからなる群から選択される方法によって行うことができる。任意に、これらの除去方法の1つをイオン注入法と組み合わせる。

【0042】

本発明によれば、

- a) 半導体材料を含むか、半導体材料からなるエピタキシャル層と、
- b) エピタキシャル層の上面上の少なくとも1つの横型及び／又は垂直型トランジスタ構造と、
- c) エピタキシャル層の底面上の熱伝導層と、

30

を備え、

エピタキシャル層の底面上の熱伝導層は、エピタキシャル層の底面の少なくとも80%、好ましくは、少なくとも90%、特に好ましくは、少なくとも95%、及び特に100%に接触する、高電子移動度を有するトランジスタを提供する。

【0043】

トランジスタは、バックゲートを示しておらず、格子と歪み適合性のためのバッファスタック、裏面の導電性、熱放散、裏面の制御してない電位、静的バックゲートから生じる問題がない。すなわち、トランジスタは、Si基板上にAlGa_{0.5}N-GaN HEMTを含む公知のトランジスタの典型的な欠点がない。これにより、フルブリッジモジュール及びハーフブリッジモジュール、双方向スイッチングトランジスタ、ドライバ等の複数の機能を1つのトランジスタに統合することができるので、設計の柔軟性が向上するという利点を示す。

40

【0044】

また、本発明に係るトランジスタの熱抵抗は、大幅に改善され、炭素ドープのGa_{0.5}Nの不十分な絶縁特性に関する漏れ又は絶縁破壊機構の可能性を低減する。さらに、トランジスタの構造は、それほど複雑ではない。

50

【0045】

これとは別に、トランジスタの総電力はより高い。これは、基板を局所的に除去することによってのみ製造された横型GaN-オン-Siトランジスタが、既に3kVの動作、すなわち、実際のSiCコンポーネントの動作を既に超える電力を示すことに起因する。本発明に係るトランジスタでは、3kVを超える総電力が可能である。

【0046】

本発明に係る方法により、本発明に係るトランジスタを製造することができる。これは、本発明に係るトランジスタが、本発明に係る方法を実施した結果として、トランジスタが必然的に有する特徴を有することができることを意味する。本発明に係る方法に関連した上述の特徴は、その結果として、本発明に係るトランジスタの特徴でもあり得る。

10

【図面の簡単な説明】

【0047】

【図1】横型又は垂直型薄膜パワートランジスタを製造する一連の方法を示す。

【図2】横型GaNHEMTのエピタキシャル層の概略図を示す。

【図3】絶縁性の熱伝導性AlNウェハ上に転写される横型GaNHEMTの概略図を示す。

【図4】電気的かつ熱的伝導性基板上に転写される垂直型GaNFinFETの概略図を示す。

【発明を実施するための形態】

【0048】

本明細書に示す特定の実施の形態に主題を限定することなく、以下の図面に基づいて、本発明の主題をより詳細に説明する。

20

【0049】

図1は、横型又は垂直型薄膜パワートランジスタを製造する一連の方法を示す。トランジスタのエピタキシ1が基板上で実行された後、トランジスタ2の完全な前工程処理が実行される。これに続いて、一時的なウェハへの接合3が行われ、その後、基板が完全に除去4される。次いで、横型トランジスタの製造中に方法ステップAが行われ、ここでは、電気絶縁性の熱伝導性基板への接合5aが行われる。そして、垂直型トランジスタの製造中に方法ステップBが行われ、ここでは、裏面接触ステップと導電性の熱伝導性基板への接合5bステップが行われる。ケースA、Bの両方において、最後に一時的なウェハの脱離6が続く。

30

【0050】

図2は、横型GaNHEMTのエピタキシャル層の概略図を示す。複数のバッファ層8は、格子及び歪み整合のために、導電性Si基板7上に配置される。絶縁性GaN:C層9が複数のバッファ層8上に位置する。チャネルとして機能するGaNUID層10は、絶縁性GaN:C層9上に配置され、バリアとして機能するAlGaNUID層12は、GaNUID層10上に位置する。ここで、2DEG層11は、GaNUID層10とAlGaNUID層12の間に形成される。

【0051】

図3は、絶縁性の熱伝導性AlNウェハ上に転写される横型GaNHEMTの概略図を示す。AlNウェハ13は、接合界面14を介してGaNベースのバッファ15に接続される。AlGaNバリア16は、GaNベースのバッファ15上に配置される。ソース17、ゲート18、及びドレイン19は、AlGaNバリア16上に位置する。

40

【0052】

図4は、電気的かつ熱的伝導性基板上に転写される垂直型GaNFinFETの概略図を示す。導電性Si又は金属ウェハ20は、接合界面14を介してドレイン接触21に接続される。 n^+ -GaNドレイン層22は、ドレイン接触21上に存在し、 n^- -GaNドリフトゾーン23は、 n^+ -GaNドレイン層22上に存在する。GaN-Fin構造24、ソース接触25、ゲート金属26、及びゲート絶縁体27は、 n^- -GaNドリフトゾーン23上に配置される。

50

【符号の説明】

【0053】

- 1 : トランジスタのエピタキシ
- 2 : トランジスタ完全な前工程処理
- 3 : 一時的な基板（例えば、一時的なウェハ）への接合
- 4 : 基板の完全な除去
- 5 a : 電気絶縁性の熱伝導性基板への接合
- 5 b : 裏面接触及び導電性の熱伝導性基板への接合
- 6 : 一時的な基板（例えば、一時的なウェハ）の脱離
- 7 : S i 基板（導電性）
- 8 : 複数のバッファ層（格子及び歪み整合）
- 9 : GaN : C（絶縁性）
- 10 : GaNUID（チャンネル）
- 11 : 2DEG
- 12 : AlGaNUID（バリア）
- 13 : AlNウェハ
- 14 : 接合界面
- 15 : GaNベースのバッファ
- 16 : AlGaNバリア
- 17 : ソース
- 18 : ゲート
- 19 : ドレイン
- 20 : 導電性S i 又は金属ウェハ
- 21 : ドレイン接触
- 22 : n^+ -GaNドレイン
- 23 : n^- -GaNドリフトゾーン
- 24 : GaN-Fin構造
- 25 : ソース接触
- 26 : ゲート金属
- 27 : ゲート絶縁体
- A : 横型トランジスタの製造中の方法ステップ
- B : 垂直型トランジスタの製造中の方法ステップ

10

20

30

【図 1】

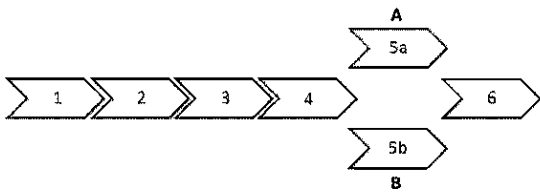


Fig. 1

【図 2】

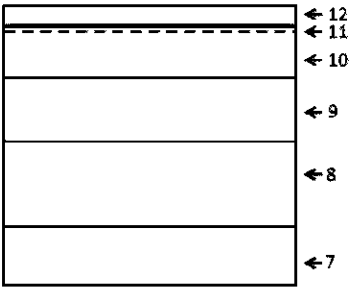


Fig. 2

【図 3】

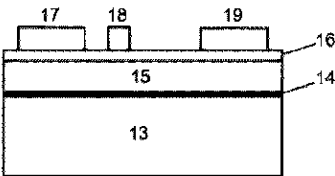


Fig. 3

【図 4】

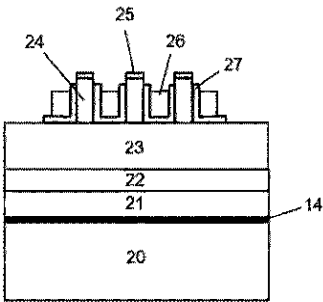


Fig. 4

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/20

(73)特許権者 521338765

フェルディナント・ブラウン・インスティット ゲーゲーエムベーハー, ライプニッツ・イン
スティット フュー ヘーヒストフレクエンツテヒニク
FERDINAND-BRAUN-INSTITUT GMBH, LEIBNIZ-INST
ITUT FUR HOCHSTFREQUENZTECHNIK
ドイツ 12489 ベルリン グスタフ・キルヒホフ・シュトラッセ 4
Gustav-Kirchhoff-Strasse 4 12489 Berlin (DE)

(74)代理人 100103894

弁理士 家入 健

(72)発明者 マイスナー エルケ

ドイツ連邦共和国 91058 エルランゲン, ショットキーシュトラッセ 10, フラウンホー
ファー アンスティチュ フュア インテグレイト システム ウント バウエレメンテテクノ
ロジー内

(72)発明者 ヴェルフル ハンス・ヨアヒム

ドイツ連邦共和国 12489 ベルリン, グスタフ・キルヒホフ・シュトラッセ 4, フェルデ
ィナント・ブラウン・インスティット ゲーゲーエムベーハー, ライプニッツ・インスティッ
ット フュー ファフレクエンツテヒニク内

審査官 杉山 芳弘

(56)参考文献 特開2014-239179 (JP, A)

特開2019-153603 (JP, A)

特開2013-243275 (JP, A)

米国特許出願公開第2016/0013045 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H10D 30/47

H10D 30/66

H01L 21/205

H01L 21/20